

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-278706

(43)Date of publication of application : 09.12.1986

(51)Int.Cl.

G01B 11/24

G01N 21/88

H05K 3/00

(21)Application number : 60-118865

(71)Applicant : HITACHI ELECTRONICS ENG CO LTD

(22)Date of filing : 03.06.1985

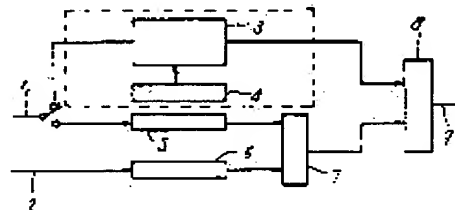
(72)Inventor : YOSHIZAWA TAKAO  
HORIUCHI MASAYUKI  
ENDO NORIO

## (54) MASKING MECHANISM FOR PATTERN APPEARANCE TESTER

## (57)Abstract:

**PURPOSE:** To mask an arbitrary shape in real time by storing previously an unnecessary defective part as masking data, collating a defect decision part and canceling the defect decision when the decided part equals stored data.

**CONSTITUTION:** At the time of testing the pattern appearance of a printed board, a specific part (that is, unnecessary defective part), which is not decided to be defective even if it has a phenomenon equivalent to appearance abnormalities, is previously stored in a masking data memory part 3. In the same manner as a normal operation a two channel signal is led to a defect deciding part 7 through feature extracting parts 5 and 6 to decide defects. When the defect decision is given, the defective part is collated with the stored contents in the masking data memory part 3. At this time, when the part decided to be defective is equal to the data in the memory part 3, the defect decision is canceled as unnecessary.



Best Available Copy

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭61-278706

⑪ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 昭和61年(1986)12月9日

G 01 B 11/24  
G 01 N 21/88  
H 05 K 3/00

8304-2F  
7517-2G  
6679-5F

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 バターン外観検査装置のマス킹機構

⑮ 特 願 昭60-118865

⑯ 出 願 昭60(1985)6月3日

⑰ 発 明 者 吉 沢 孝 夫 神奈川県足柄上郡中井町久所300番地 日立電子エンジニアリング株式会社内  
⑱ 発 明 者 堀 内 雅 之 神奈川県足柄上郡中井町久所300番地 日立電子エンジニアリング株式会社内  
⑲ 発 明 者 遠 藤 憲 雄 神奈川県足柄上郡中井町久所300番地 日立電子エンジニアリング株式会社内  
⑳ 出 願 人 日立電子エンジニアリング株式会社 神奈川県足柄上郡中井町久所300番地  
㉑ 代 理 人 弁理士 縣 武 男

明 細 書

1. 発明の名称 バターン外観検査装置のマス킹機構

2. 特許請求の範囲

印刷基板のバターン外観検査に際し、特定部分に外観異常相当事象が存在しても不良とは判定しないようにするバターン外観検査装置のマス킹機構において、検査対象品種印刷基板の上記特定部分を、あらかじめマス킹・データ記憶部に記憶させておいて、通常の手段でバターン外観に欠陥ありと判定された部分につき、マス킹・データ記憶部に記憶されている上記特定部分に関するデータ内容と照合し、マス킹・データ記憶部に当該部分に関するデータが記憶されていた場合には、欠陥判定を取り消すようにしたことを特徴とするバターン外観検査装置のマス킹機構。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は印刷基板のバターン外観検査に際し、

例えばスルーホールなど、バターン欠陥と判定すべからざる部分(以後、不要欠陥とよぶ)を、欠陥と判定してしまうのを防止するバターン外観検査装置のマス킹機構に関する。

(従来の技術)

従来は、スルーホール認識用アルゴリズムバターンを設け、特定のスルーホール径のみをマスクする(外観不良と判定しない)ようにしていた。このため、一枚の基板の中に直径の異なる多種類のスルーホールが混在する場合などには対応できなかった。すなわち、不良判定から除外すべきスルーホールの径が限定されており、かつ一走査画像の両端部に発生したスルーホールは部分的な画像となるためスルーホール認識ができないなどの問題があった。

(発明が解決しようとする問題点)

本発明では、上記従来のバターン外観検査装置の問題点を解消し、印刷基板のバターンに、任意に多数種類の直径のスルーホールが混在する場合でも、スルーホール画像が部分的な画像となった

場合でも、又は、スルーホール以外の任意形状の不要欠陥に対しても、リアルタイムでマスキング可能な、パターン外観検査装置のマスキング機構を提供することを目的とする。

〔問題点を解決するための手段〕

上記目的を達成するために本発明においては、検査対象である特定品種印刷基板の不要欠陥部分を、あらかじめマスキング・データ記憶部に記憶させておいて、実際の検査時に通常的手段で欠陥と判定された部分が生じた場合には、その部分に関するマスキング・データの有無をマスキング・データ記憶部にリアルタイムで照合し、その部分に関するマスキング・データが記憶されていた場合には、該欠陥判定は不要欠陥に関するものとして取り消すこととした。

〔発明の実施例〕

第1図(a)は本発明一実施例のブロック図(但し本発明で付加した部分を破線で囲んで示す)、第1図(b)はマスキング・データ記憶部に記憶されたマスキング部レベルと銅べた部のレベル

を比較して示す。なお、この印刷基板のパターン外観検査は、任意にA、Bの2チャンネルに分けた2枚の印刷基板のパターン外観を相互に比較し、相違が発見されなければ2枚とも良品とみなす方式によっている。第1図(a)で、1はAチャンネル印刷基板の比較対象部分をビデオ・カメラで撮像して得た高解像度の2値化画像信号、2はBチャンネルの対応部分の高解像度の2値化画像信号、3はマスキング・データ記憶部、4はマスキング・データ記憶部に対する制御部、5、6は、それぞれ、A、Bチャンネル用特徴抽出部(例えば走査中にレベルが急変する所をパターンの輪郭とみなすなど)、7は通常的手段(A、Bチャンネルの2値化画像を比較して、画像位置を多少ずらしたりしても、どうしても相違ビット数が所定値以下にならないければ相違あり、欠陥ありと判定する)による欠陥判定部、8は欠陥照合判定部、9は欠陥(ありと判定した)出力である。

本発明では、第1段階として、マスキング・データ記憶部に記憶させるためのマスキング・デ

ータを作成しなければならないが、①銅べた基板にマスク対象とするスルーホールだけを穿設した基板(実検査する基板の製造工程中途にあるものを用いればよい)を撮像して其の画像を使用する、②不要欠陥部のみを形成したホトマスクをマスキング・データ用として特別に作成して使用するなどする。第2段階として、上記のようにして作成したマスキング・データ用の基板またはホトマスクを、通常のパターン外観検査時のようにAチャンネルで撮像して(但し第1図(a)中、Aチャンネル画像信号入り口にあるスイッチは図示の如く接続)、第1段階で作成したマスキング・データの画像信号のみをマスキング・データ記憶部に記憶させる。(以後、実際のパターン外観検査を行う場合は、上記スイッチは図示の場合と反対に下方に接続しておく。)

以上の如く準備した後、A、B両チャンネルの印刷基板のパターン外観検査を実行し、両チャンネルの印刷基板のパターン外観の間に相違が認められて欠陥判定が下された場合(この比較方式検

査法の場合、相違ありと判定されると両チャンネルの基板とも欠陥ありと判定される)、その相違が発見された個所のデータがマスキング・データ記憶部に記憶されていないかリアルタイムで照合し、記憶されていれば欠陥判定が取り消される。実際には、印刷基板上の銅箔配線パターンに対して、スルーホールが中心位置から多少ずれて穿設されている(但し実用上差支えない程度に)場合などに欠陥判定を下されることが多い。

〔発明の効果〕

以上説明したように本発明によれば、検査不要部分を任意にマスクすることが出来、検査結果の検討(欠陥判定が出た2枚の基板に対して、目視等によりどちらのチャンネルの基板が実際に不良かを調べるなどしなければならない)時間が短縮され、また、種々の径のスルーホールが混在している基板の場合、従来の如く特定径スルーホール以外はマスク出来ないなどという不都合も生じない。

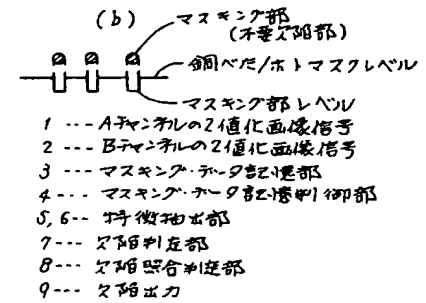
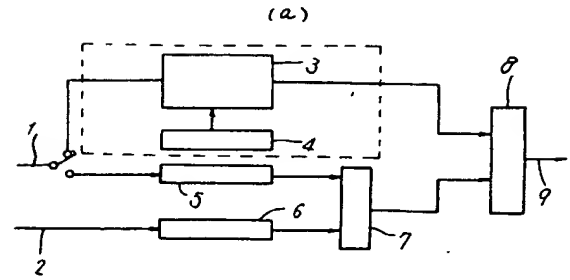
4. 図面の簡単な説明

第1図(a)は本発明一実施例のブロック図、  
第1図(b)はマスキング・データ記憶部に記憶  
させるデータのレベルを示す図である。

1……Aチャンネルの2値化画像信号、 2……B  
チャンネルの2値化画像信号、 3……マスキング  
・データ記憶部、 4……其の制御部、 5、6……  
特徴抽出部、 7……欠陥判定部、 8……欠陥照合  
判定部、 9……欠陥出力。

代理人 弁理士 縣 武雄

第 1 図



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**